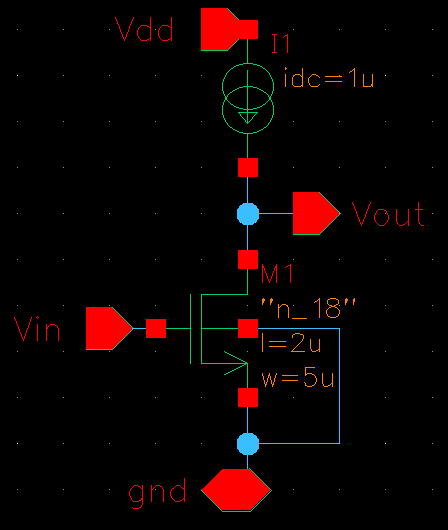
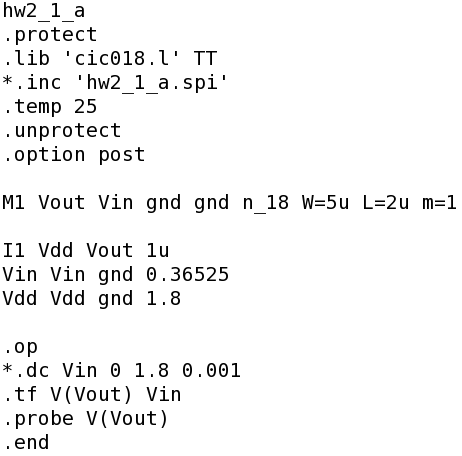
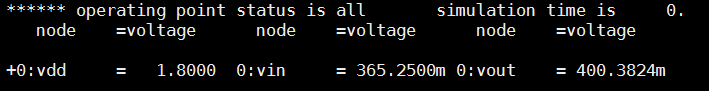
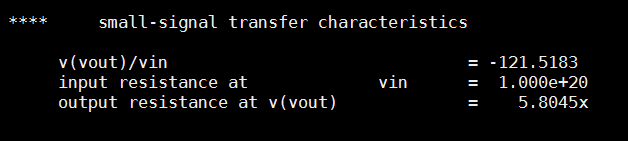
**2017 Analog IC Design Homework2**



(a)

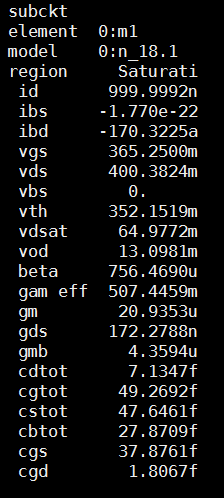
 





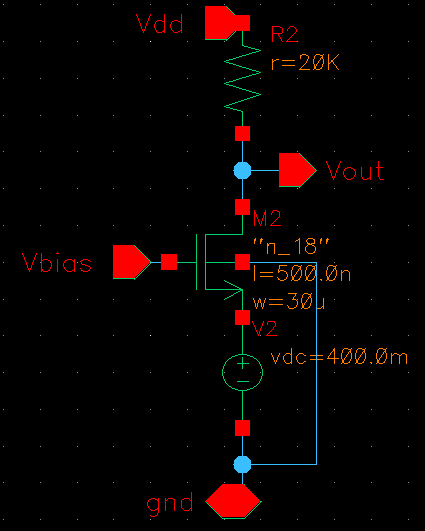
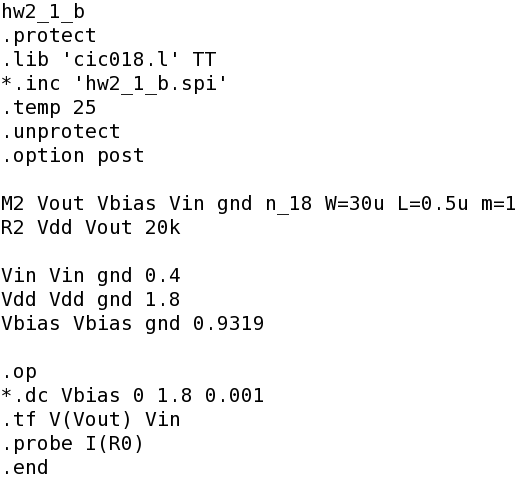
**W=5μm，L=2μm，Vin=0.36525 V，|gain|=121.5183 > 100**

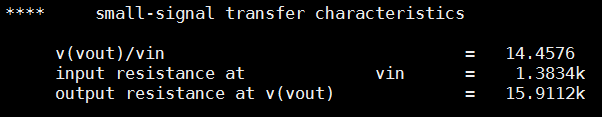
(b)

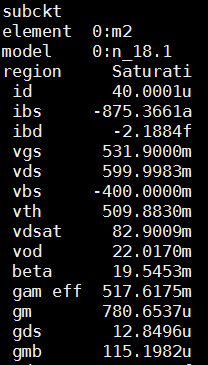
由simulation result可以看出drain current差不 多等於1μA，而又因為 以及

，，與simulation result非常相近。另外需要特別注意mos操作的區域，第一次我沒注意到mos並沒有在saturation region而是在cut off region，卻仍得出正確的結果，可能是因為使用static current，所以從表面上看不出差異，因此我又重新設計，確定mos在saturation region以後才確認結果。

(c)(d)



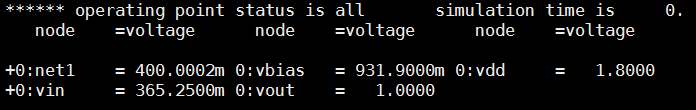
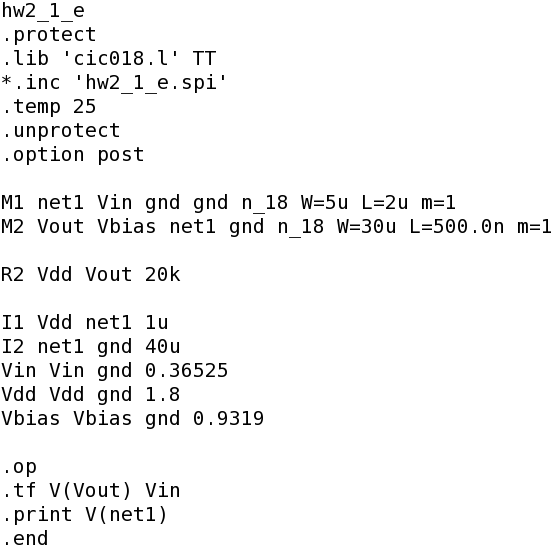
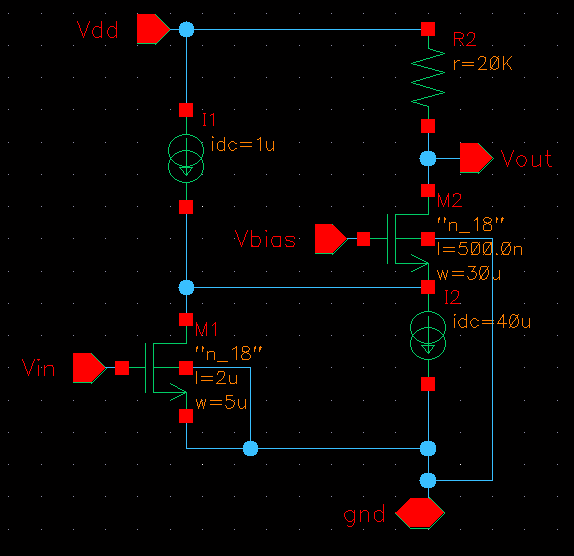
**W=30μm，L=0.5μm，Vbias=0.9319 V，**

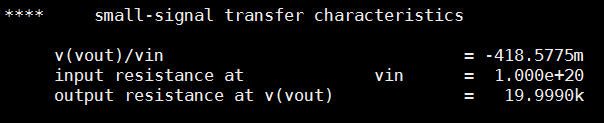
**|gain|=14.4576 > 10**

由simulation result可以看出drain current符合40μA，並操作在saturation region，另外

與simulation result非常相近。這邊需要考慮body effect，因此將列入考慮。

(e)





從simulation result可以看出DC bias幾乎不變，

但是

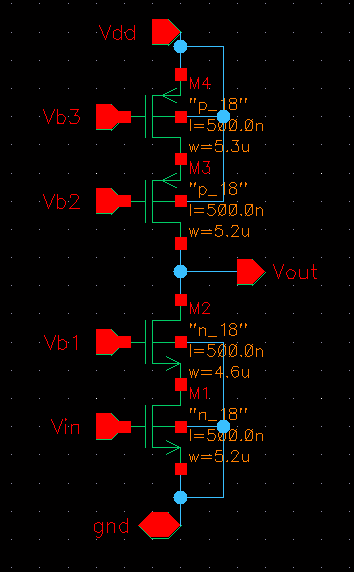
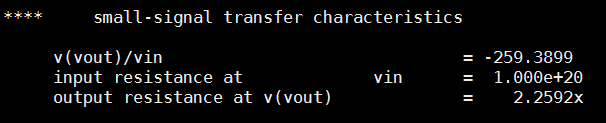
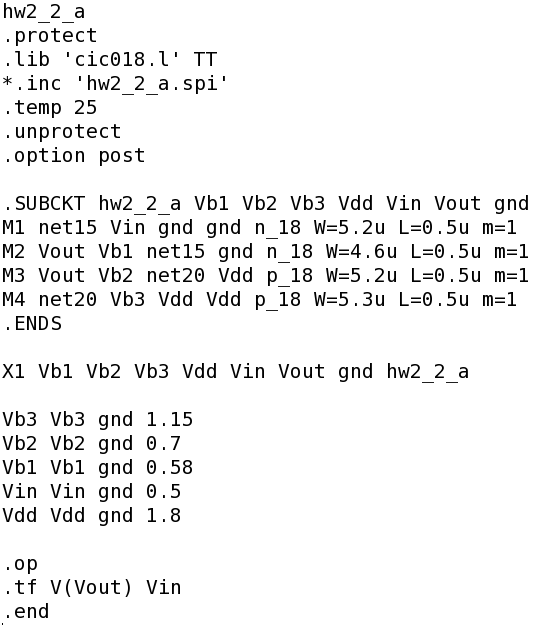
與直接相乘的結果相差很多，是因為CS並聯上CG的Rin，但CD的Rin遠小

於CS的ro，並聯之後的Rin會變得很小，CS的gain也就變得很小，又因為

接於CG作為source degeneration，使得CG的gain也變小，所以CS和CG的

gain相乘會遠大於實際的gain。

1. (a)

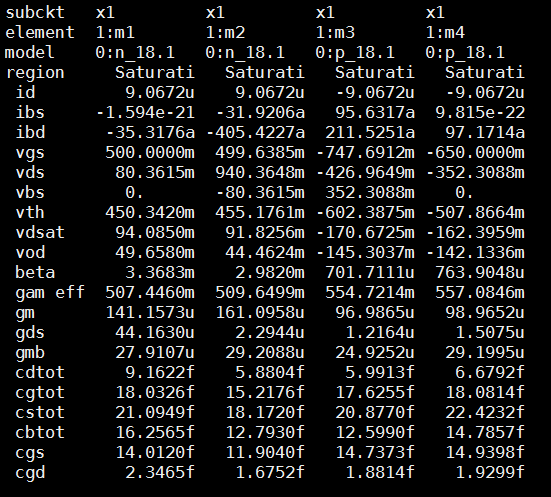
**M1: W=5.2μm, L=0.5μm, Vin=0.5V**

**M2: W=4.6μm, L=0.5μm, Vb1=0.58V**

**M3: W=5.2μm, L=0.5μm, Vb2=0.7V**

**M4: W=5.3μm, L=0.5μm, Vb3=1.15V**

**|gain| = 259.3899 = 20log(259.3899) dB = 48.28 dB > 45 dB**



**Ibias = 9.0672μA**

這題需要同時調整四顆mos並維持一定的電流和gain，是整份作業中花費最多時間的部分。

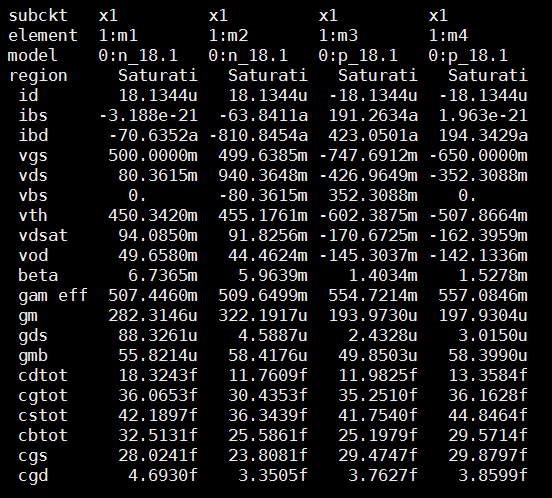
首先，應該要先確定四顆mos都在saturation region內操作，所以一開始我先假定四顆mos的W和L都分別為2μm和0.5μm，並先調整每顆mos的bias voltage和input voltage，且先從離source最近的M1開始調整，接著是M2，M3，M4。我發現只要調整一點點，就很容易改變，並要盡量讓Vds偏小才能讓output swing增加。

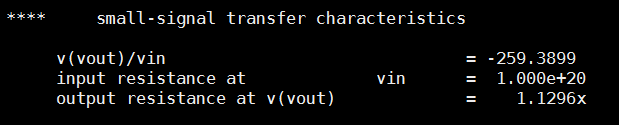
確定所有mos都進入saturation region之後，便開始調整W/L以增加bias current，一開始的電流極小，所以我將W調大許多，並在調整W的過程中要注意不要讓mos進入linear region。

在將bias current調整至9μA之後，最後再調整gain，所以我慢慢改變M1的W，最後調至gain > 45dB。

可能是我的bias voltage沒有調整好，在調整gain時，很容易因為gain變大而有一顆mos進入saturation region，因此最後gain只有調整至48dB。

(b)

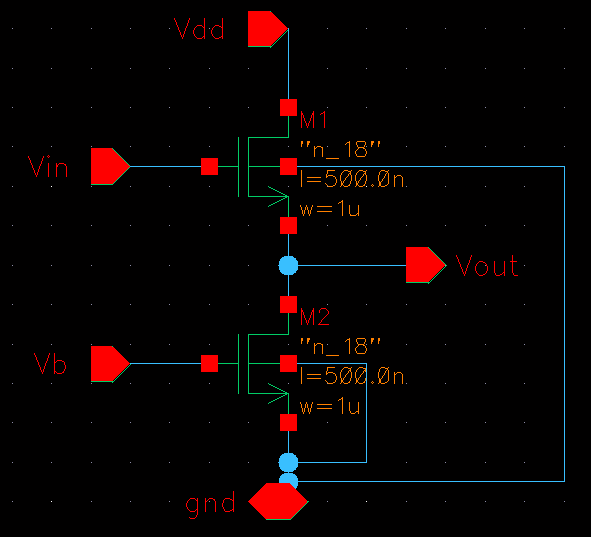




**|gain|= 259.3899 (相同)**

調整m=2代表並聯2顆mos，因此電流變為兩倍，而gm會變成兩倍，但是ro會變成0.5倍，所以gain還是維持不變。另外並聯mos並不會改變跨壓，因此每顆mos的Vod不變，Voutput-swing也就不會改變。

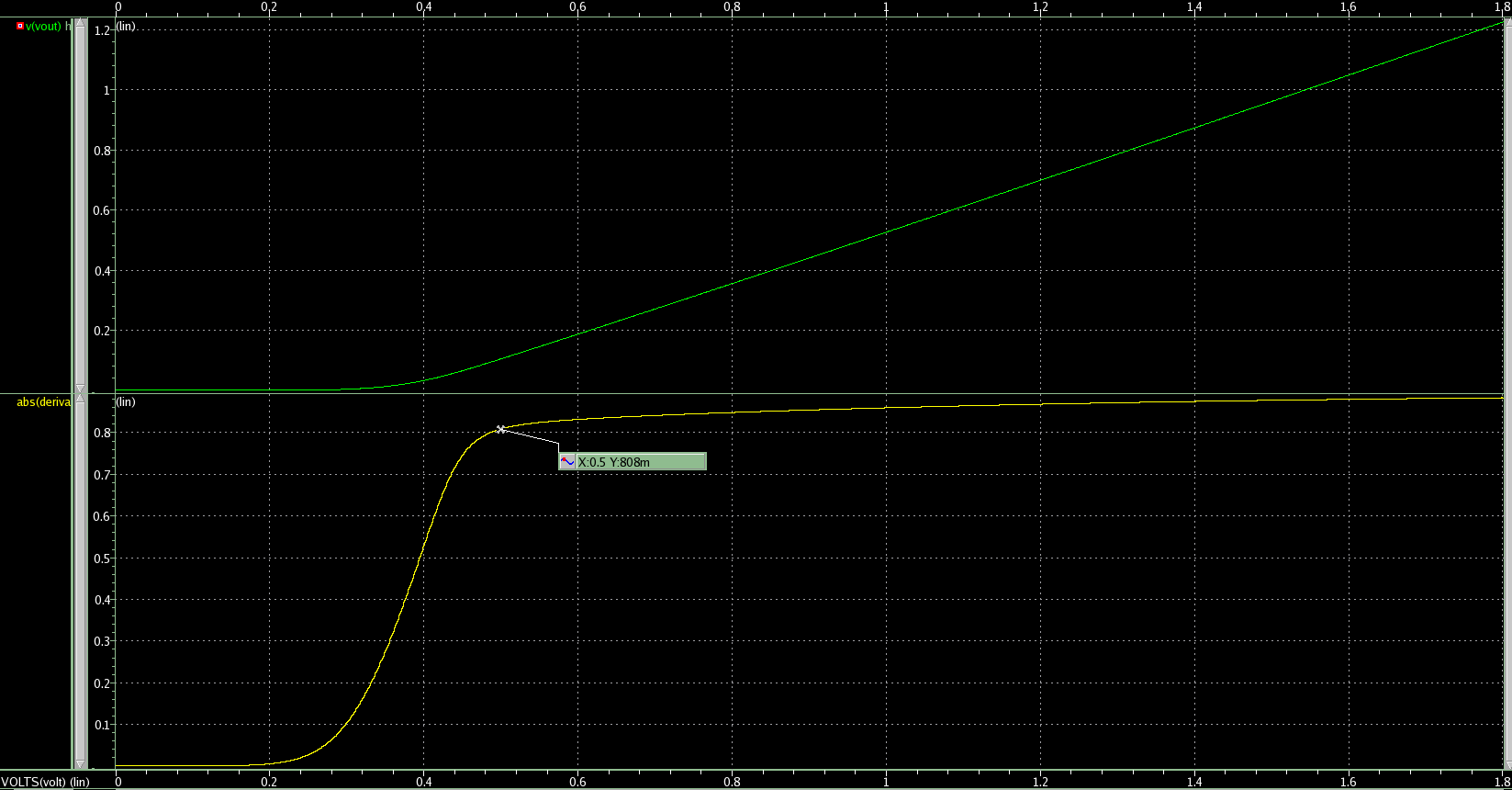
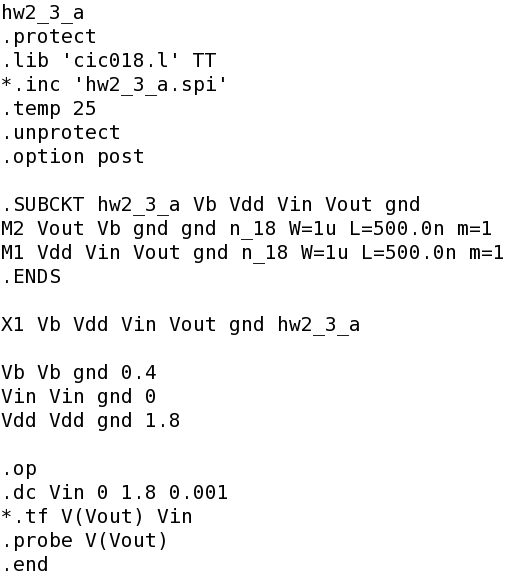
1. (a)

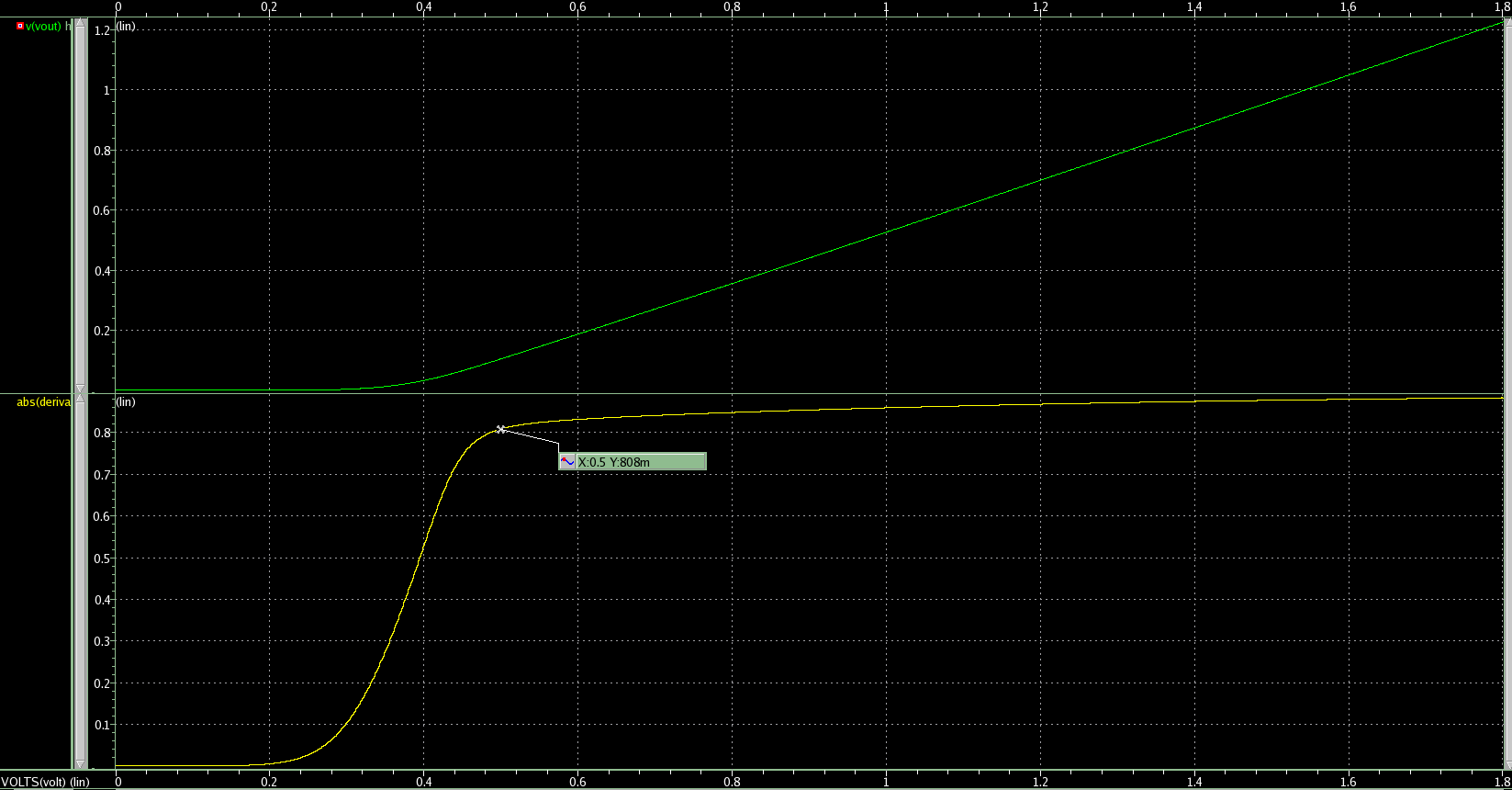
**M1: W=1μm, L=0.5μm**

**M2: W=1μm, L=0.5μm**

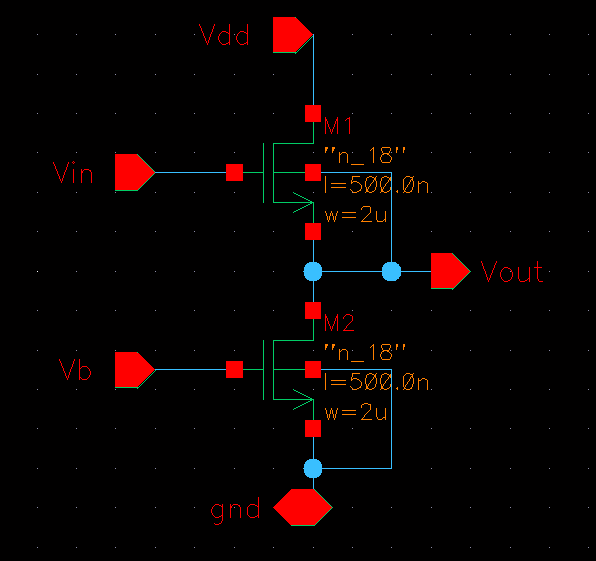
**Vb=0.4V**

我在調整mos的時候發現mos的size影響不大，而是bias voltage調得越小，Vin就可以越早達到gain > 0.8。因為Vbias越小，Vin就能越快超過M2的跨壓進入saturation region，因此gain也越大。





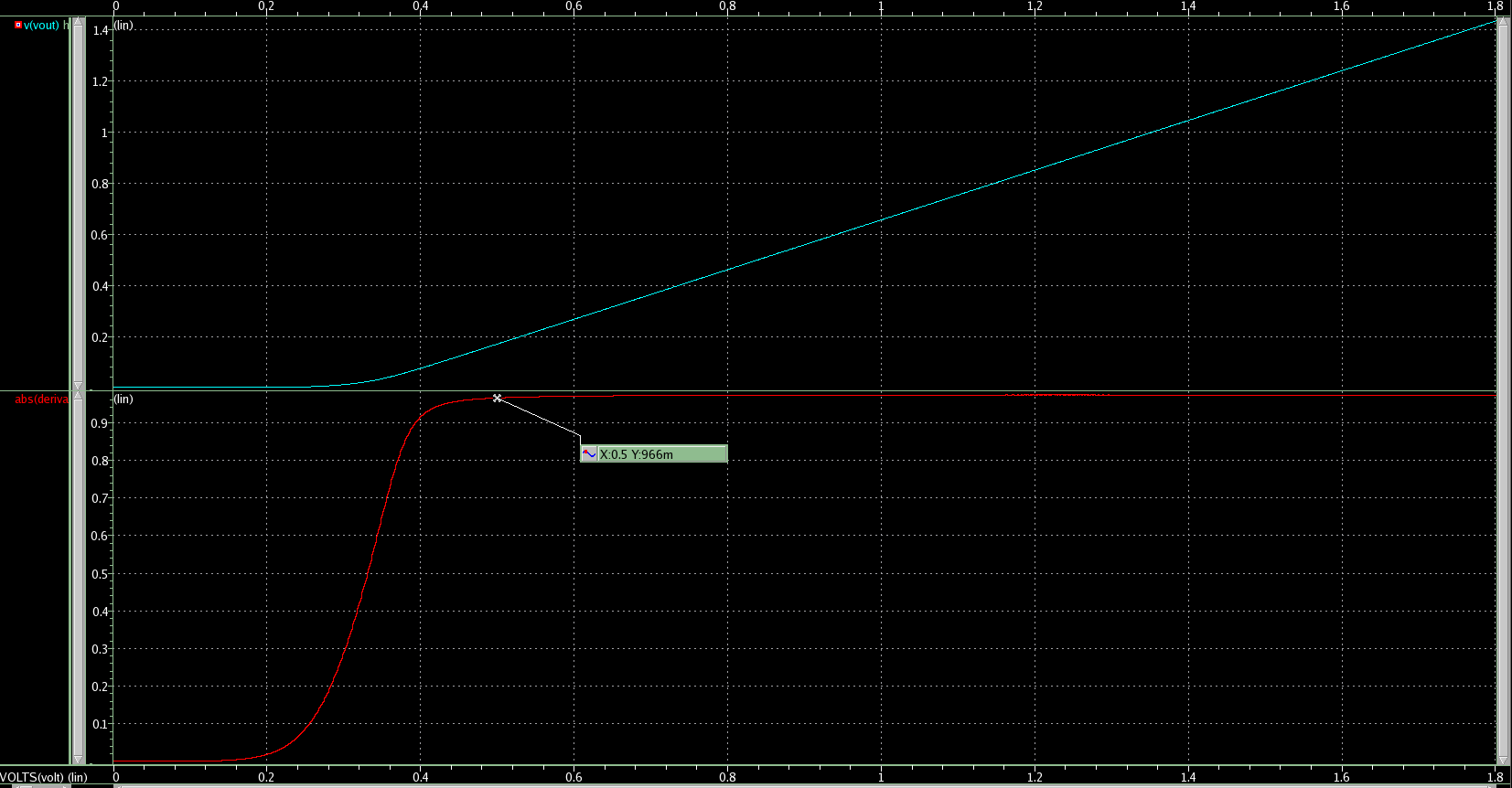
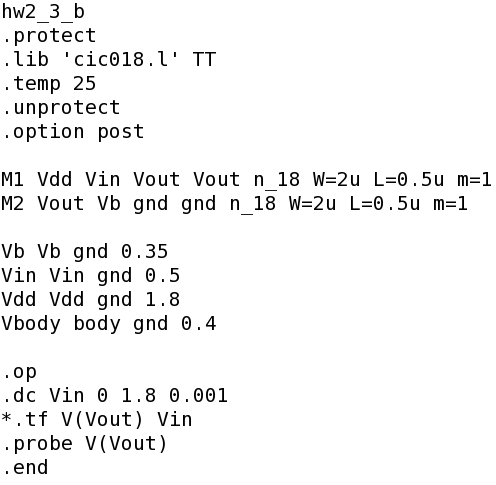
(b)

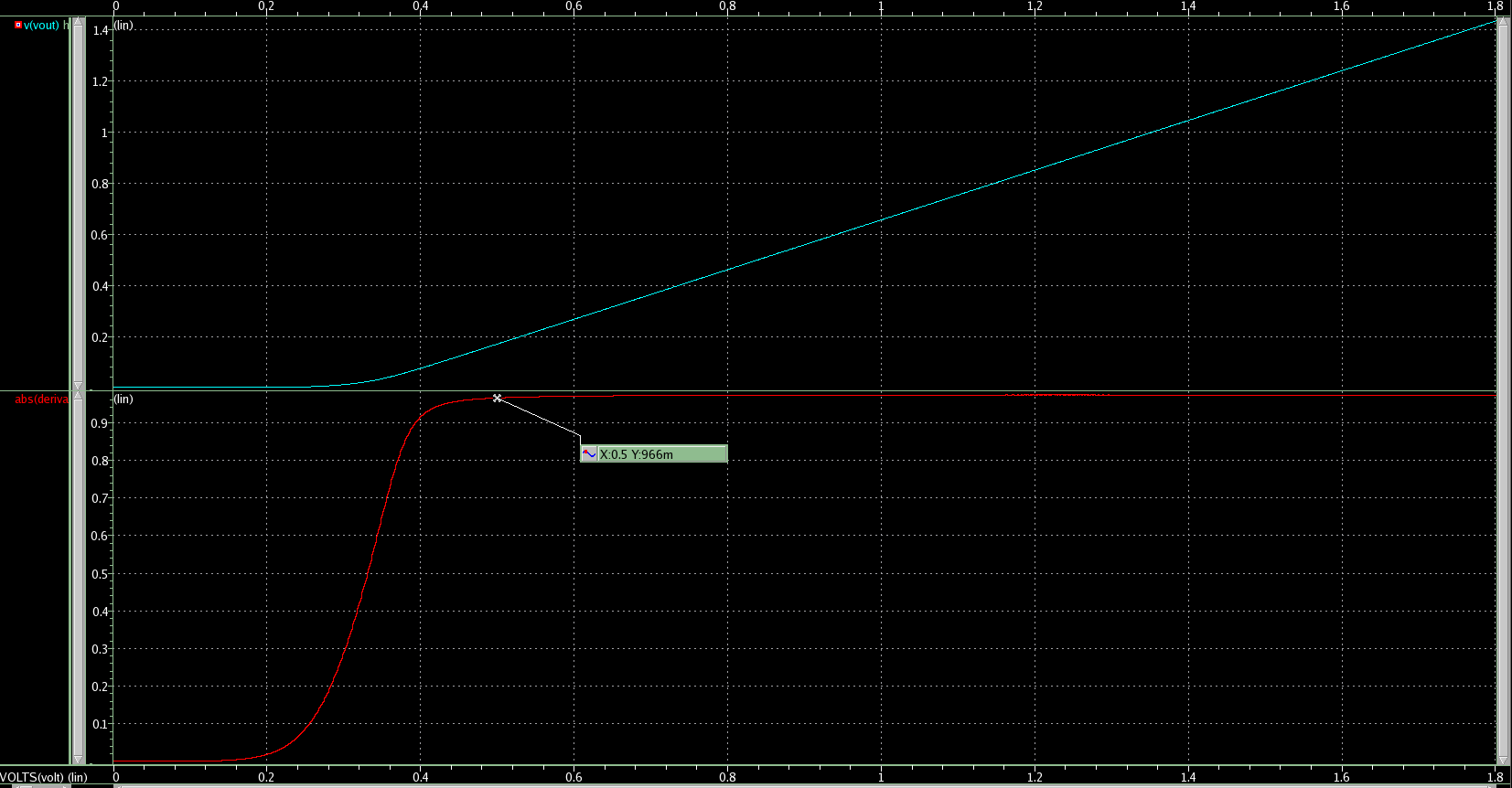
**M1: W=2μm, L=0.5μm**

**M2: W=2μm, L=0.5μm**

**Vb=0.35V**

因為是在deep-nwell，所以我將mos1和mos2的body與source相連，去除body effect，因為body effect會影響到gain，去除掉body effect，gain就會增加許多。在0.5V時，gain就已經大於0.96。



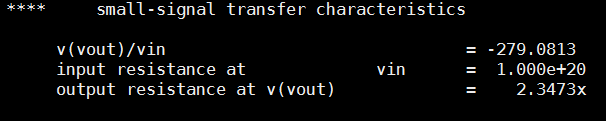


(c)

兩者的差別在於body effect的有無，因為若Vbs > 0，則必須考慮gmb，common drain的gain會因為body effect而減少，因此為了去除掉body effect，就要把body和source相連接，Vbs就會為零，gain也會因此增加。

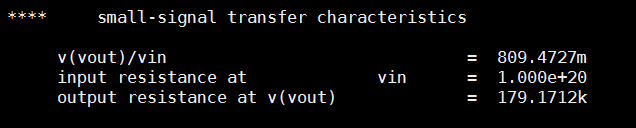
1. problem\_2a的mos1: L = 0.5μm -> 0.485μm

=> gain = -259.3899 -> -279.0813 (+7.6%) more sensitive



problem\_3a的mos1: L = 0.5μm -> 0.485μm

=> gain = 808m -> 809.4727m (+0.00183%)



problem\_2a是cascode，它的，因為比小，所以主導output impedance，又因為和都變大(可能因為有其他偏壓等受到影響，所以沒有因為L變小而變小)，也變大，所以gain上升。由此可以看出gain的和都受到L的影響，因此只要L稍微改變，便會影響到gain。

而problem\_3a是common drain，，因為比和都小，所以是impedance的主導，，又因為和呈線性關係，所以無論L改變多少，都不太會影響到gain，因此L稍微改變，gain並沒有太大的變動。

由此可以比較出cascode比起common drain more sensitive to the misalignment of MOS dimension，且gain與mos的數量成次方比，因此接更多顆mos，gain受到MOS dimension的影響越大。

(以下附圖觀察，以及)

上方是cascode調整後的和，下面則是調整size前的和 